DIALOG(R) File 345: Inpadoc/Fam. & Legal Stat (c) 2004 EPO. All rts. reserv.

3165261

Basic Patent (No, Kind, Date): JP 55107270 A2 800816 <No. of Patents: 001>

MANUFACTURE OF FIELDDEFFECT TRANSISTOR (English)

Patent Assignee: NIPPON ELECTRIC CO Author (Inventor): ISHIUCHI HIROAKI

IPC: *H01L-029/80; H01L-023/10

Derwent WPI Acc No: *C 80-68837C;

JAPIO Reference No: *040157E000088;

Language of Document: Japanese

Patent Family:

Patent No Kind Date Applic No Kind Date

JP 55107270 A2 800816 JP 7914481 A 790209 (BASIC)

Priority Data (No, Kind, Date):

JP 7914481 A 790209

DIALOG(R) File 347: JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

00619670 **Image available**

MANUFACTURE OF FIELD-EFFECT TRANSISTOR

PUB. NO.:

55-107270 [JP 55107270 A]

PUBL I SHED:

August 16, 1980 (19800816)

INVENTOR(s): ISHIUCHI HIROAKI

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP

(Japan)

APPL. NO.:

54-014481 [JP 7914481]

FILED:

February 09, 1979 (19790209)

INTL CLASS:

[3] H01L-029/80; H01L-023/10

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R095 (ELECTRONIC MATERIALS -- Semiconductor Mixed Crystals)

JOURNAL:

Section: E. Section No. 32, Vol. 04, No. 157, Pg. 88,

November 04, 1980 (19801104)

ABSTRACT

PURPOSE: To reduce a leakage current and improve the properties by laying polycrystalline GaAs thin film between the activated layer constituting a Schottky barrier gate FET consisting of GaAs and a heatproof insulating thin film.

CONSTITUTION: An Al(sub x)Ga(sub 1-x)As layer 2, and an n-type GaAs activated layer are laminated on GaAs substrate 1 being grown epitaxially and thereon a polycrustalline GaAs layer 4, which is thin about 100 angstroms, is attached being evaporated. Next, a diamond heat sink plate 6 is made to adhere to this layer 4 through heatproof insulating inorganic adhesives 5 mainly consisting of silica and almina, removing only the layer 2 by etching in sulusion of HF 50% and peel off the substrate 1 thereon. Thereafter anodic oxidation is performed to make the layer 3 evenly thin, the whole surface is alloyed with AuGe-Ni through evaporation, and is selectively etched to form the source and drain electrodes 7 and 8. Further Al is attached through evaporation being lifted-off to gain the electrode 9, the whole surface is covered with polycrystalline GaAs layer 10 through flash evaporation to be passivated.

(9) 日本国特許庁 (JP)

①特許出願公開

⑫ 公開特許公報(A)

昭55—107270

5)Int. Cl.³H 01 L 29/80 23/10 識別記号

庁内整理番号 7925-5F 7738-5F 砂公開 昭和55年(1980)8月16日

発明の数 1 審査請求 未請求

(全 3 頁)

砂電界効果トランジスタの製造方法

願 昭54-14481

20出 願 昭54(1979)2月9日

饱発 明 者 石内宏明

20特

東京都港区芝五丁目33番1号日 本電気株式会社内

⑪出 願 人 日本電気株式会社

東京都港区芝5丁目33番1号

砂代 理 人 弁理士 内原晋

明 細 書

発明の名称
 電界効果トランジスタの製造方法

2. 特許請求の範囲

単結晶 GaAs 基板上にAl x Ga_{1-x} As と Ga As 薄層を連続エピタキシャル成長させ、該 Ga As 薄層上に多結晶 GaAs を蒸着し絶縁性無機接着剤によって前記多結晶 GaAs と絶縁性平板の一主表面とが対向するように固定し、前記 Al x GA_{1-x} As 層をエッチング除去することにより単結晶 GaAs 本級を剝離し、 GaAs 薄層 - 多結晶 GaAs - 絶縁性無機接着剤 - 絶縁性平板の構造を形成する工程と、前記 GaAs 薄膜上にソース 単極・ドレイン電極とゲート電極を形成する工程と、 第子表面に多結晶 GaAs を蒸着する工程とを有する事を特徴とする電界効果トランジスタの製造方法。

3. 発明の詳細な説明

本発明は電界効果トランジスタ、特に高周波用 のガリウム - 砒素 (GaAs) ショットキバリヤゲ ート電界効果トランジスタ (GaAs MES FET) の製造方法に関するものである。

近年 GaAs MES FET は、GaAsの電子易動 動度が大きく従来のシリコンSi の FET やパイ ポーラトランジスタに比してはるかに高い周波数 帯で動作することから、マイクロ波帯で動作する 増巾素子としてマイクロ波通信装置等に多く使用 され著しい発展を遂げてきている。

一般に GaAs MES FET の製造方法は下記の通りである。

- ① 半絶級性 GaAs 基板上に高抵抗エピタキシャル GaAs 層 (パッファ層)を成長し、さらに n型 GaAs 薄層 (アクティブ層)を成長する。
- ② n型GaAs層表面に金ゲルマニウムーニッケル(AuGe-Ni) あるいは金ゲルマニウムー白金(AuGe-Pt) 等の蒸電、合金化を行ないオーム性電極を設ける。
- ③ オーム性電極間に、ショットキーバリヤゲー

ト電極を蒸着して形成する。 この後、案子表面上に表面保護の目的で誘電体薄 膜等を附加する。

ここで、上配方法により生ずる問題点として、まずn型GaAs薄膜と高抵抗エピタキシャルGaAs層との界面で、キャリア濃度の落差を急峻にする事が難しく、FETの静特性液形でいわゆるで、単想的な形が生ずる事があげられる。第2に、理想的な馬抵抗層が得られてめ、高抵抗層を解したり、また高抵抗層を解したり、また高が大きく、また高が大きないが、高抵抗活活を解れていると思われるリーク電流やでがよってが生すると思われるリーク電流やででです。と思われるリーク電流やででですが生するいはパッファ層とアクティブがの界面を生ずるといっては、パッファーのののでは、パッファーのでは、パッファーのでは、パッファーのでは、パッファーのでは、パッファーのでは、パッファーのでは、パッファーででは、パッファーのでは、パッファーのでは、パッファーのでは、カッファーの影響により、良好なトランジスタ特性が得られない等の問題点がある。

本発明の目的は、上記欠点を除去し、良好なトランジスタ特性が得られる電界効果トランジスタの製造方法を提供する事にある。

- 3 -

再使用が可能となる等種々の効果がある。

次に本発明の一実施例を図面を参照してその製造工程順に説明する。

本実施例では、第1図にその断面図を示すよう に、GaAs基板1上にAl_{0.7}Ga_{0.3}As層2を厚さ 5 μ m さらに n 型 GaAs (キャリア 濃度 ~ 1 × 10¹⁷cm⁻³)3を導さ0.5μm連続してエピタ キシャル成長させ、このn型GaAs 3上に多結 晶 GaAs 4 を 100 A 蒸 着形成する。 次に第 2 図 に示すように、主成分をシリカ、アルミナとする 耐熱絶縁性無機接着剤(商品名:スミセラム)5 で多結晶GaAs 4 と絶縁性平面としてのダイヤ モンドヒートシンク平板6を接着する。これをH F 5 0 %中でAlo.7 Gao.3 As 層 2 のみをエッチ ング除去しGaAs基板1を剝離すると、第3図に 示す断面を有する構造が得られる。次にn型Ga As 薄層3を陽極酸化法により、厚さ0.2 μ mに 均一導化し、との全表面に、第4図で示すように AuGe-Niを蒸溜合金化して所定部をエッチング 除去しソース電極7・ドレイン電極8を形成し、

本発明によれば、単結晶 GaAs 基板上に Alx Gal-xAs (x≥0.3) と n 型 GaAs 薄層を連続エピタキシャル成長させ、さらにこの n 型 GaAs 薄層上に多結晶 GaAs を蒸着し、耐熱絶縁性無機接着剤によって、多結晶 GaAs と、絶縁性平板の一主表面とが対向するように固定し、前配 Alx Gal-x As 層のみをエッチングする事により単結晶 GaAs を複を剣離して、 n 型 GaAs 薄層 - 多結晶 GaAs - 絶縁性無機接着剤 - 絶縁性平板の構造を形成する工程と、前記 n 型 GaAs 薄層上にソース電極・ドレイン電極とゲート電極を形成する工程と、素子表面より多結晶 GaAs を蒸着する工程を有する事を特徴とする電界効果トランジスタの製造方法が得られる。

本発明の製造方法によれば第一に、アクティブ 層と高抵抗層間に、界面安定化をはかる多結晶 GaAsが得られ、第二に良質のGaAs高抵抗層を 必要とせず、第三にn型GaAs薄層と絶縁物層と を、その界面のキャリア濃度変化が階段状となる ように接合でき、第四に、剝離したGaAs基板の

- 4 -

さらにAI を蒸着し、リフトオフ法によりゲート 電極 9 を形成し、さらには案子表面に多結晶 Ga As 10 をフラッシュ蒸着して、パッシベーション 膜を形成する。

本実施例によれば、単結晶 GaAs 基板 1 上の Alo.7 Gao.3 As 層 2 とを接触する n 型 GaAs 薄膜面にオーム性電極を形成することができ、活性層としての n 型 GaAs 薄膜 3 と高抵抗層としての 耐熱絶縁性薄膜 5 との間に、両者の界面の安定化をはかる多結晶 GaAs 薄膜 4 を介在せしめることができ、リーク電流や波形ループを防止できる。 更に n 型 GaAs 薄膜 3 のキャリア 濃度を一定にできかつ絶縁性薄膜 5 との界面において階段状接合を行な 5 ことができるのでトランジスタの静特性が良好となる。

この様に本実施例によれば従来に比して良好なトランジスタ特性が得られるGaAs MES FETを提供することができる。

本発明の製造方法によるGaAs MES FETを 製作した結果、波形不良・ドリフト現象もなく、 安定した特性が得られた。

以上本発明の実施例として、特定な材料、特定な素子寸法で説明したが、本技術思想から明らかなように、これらに限定されることもなく広く適用されることはいうまでもない。

4. 図面の簡単な説明

第1図~第4図は本発明の一実施例を工程順に 示した断面図である。

1 ……単結晶 Ga A s 基板、 2 …… Al_{0.7}Ga_{0.3}As、 3 …… n型 Ga A s、 4 …… 多結晶 Ga A s、 5 …… 耐熱絶縁性無機接着剤、 6 …… ダイヤモンドヒートシンク平板、 7 …… ソース電極、 8 …… ドレイン電極、 9 …… ゲート電極、 1 0 …… 多結晶 Ga A s

代理人 弁理士 内 原



- 7 -

